

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-237393
(P2001-237393A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 27/105
21/316
21/318
27/108
21/8242

H 0 1 L 21/316
21/318
27/10 4 4 4 B
6 2 1 B

審査請求 有 請求項の数14 O L (全 6 頁)

(21) 出願番号 特願2000-399178 (P2000-399178)

(22) 出願日 平成12年12月27日 (2000. 12. 27)

(31) 優先権主張番号 1 0 0 0 0 0 5 . 3

(32) 優先日 平成12年1月3日 (2000. 1. 3)

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 599158797

インフィネオン テクノロジース アクチ
エンゲゼルシャフト

ドイツ連邦共和国 ミュンヘン ザンクト
マルティン シュトラーセ 53

(72) 発明者 ヴァルター ハルトナー

ドイツ連邦共和国 ミュンヘン ザルツメ
ッサーシュトラーセ 6

(72) 発明者 ギュンター シンドラー

ドイツ連邦共和国 ミュンヘン ウンゲラ
ーシュトラーセ 19

(74) 代理人 100061815

弁理士 矢野 敏雄 (外4名)

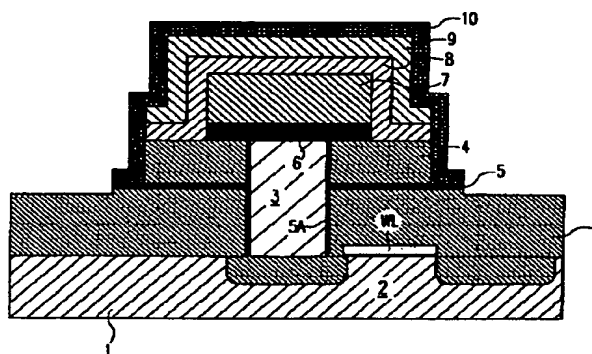
最終頁に続く

(54) 【発明の名称】 半導体構造素子の製造方法

(57) 【要約】

【課題】 強誘電体メモリの製造方法を提供する。

【解決手段】 半導体基板 (1) 上にスイッチングトランジスタ (2) を形成し、この上にアイソレーション層 (4) を施し、該アイソレーション層上に白金からなる下方電極 (7) 及び強誘電体又は常誘電体誘電体 (8) を有するメモリキャパシタを形成する。誘電体をさらなる製造工程において水素の侵入から保護するために、アイソレーション層 (4) 内に第1のバリア層 (5) を包埋しかつメモリキャパシタの製造後に、第1のバリア層 (5) と結合する第2のバリア層 (10) を堆積させる。



1

【特許請求の範囲】

【請求項1】 半導体構造素子を製造する方法において、

- a) 半導体基板(1)上にスイッチングトランジスタ(2)を形成し、
- b) スwitchングトランジスタ(2)上にアイソレーション層(4)を施し、該アイソレーション層内に、特に水素の侵入に対する第1のバリア層(5)を包埋し、
- c) アイソレーション層(4)上に、下方電極(7)及び上方電極(9)並びにそれらの間に堆積した金属酸化物含有層(8)を含む、スイッチングトランジスタ(2)と結合されたメモリキャパシタを施し、
- d) 垂直方向のエッチング工程でアイソレーション層(4)をメモリキャパシタの外側で一定の深さまで除去し、その際第1のバリア層を外側に向かって露出させ、
- e) メモリキャパシタ上及びアイソレーション層(4)上及び第1のバリア層(5)上に、特に水素の侵入に対する第2のバリア層(10)を施すことを特徴とする半導体構造素子の製造方法。

【請求項2】 アイソレーション層(4)を施した後に該アイソレーション層内に接点孔(3)をスイッチングトランジスタ(2)のソース又はドレイン領域までエッチングかつ導電性材料を充填し、かつ下方電極(7)を接点孔(3)の上方に施すことにより、スイッチングトランジスタ(2)をメモリキャパシタと接続することを特徴とする請求項1記載の方法。

【請求項3】 接点孔(3)の充填前に該接点孔の内壁を、特に水素の侵入に対する第3のバリア層(5A)でライニングすることを特徴とする請求項2記載の方法。

【請求項4】 製造工程d)でアイソレーション層(4)を第1のバリア層(5)の深さまで除去し、その際場合により第1のバリア層(5)をエッチストップ層として使用することを特徴とする請求項1記載の方法。

【請求項5】 製造工程d)でアイソレーション層(4)を第1のバリア層(5)の下の深さまで除去することを特徴とする請求項1記載の方法。

【請求項6】 第1のバリア層(5)が Si_3N_4 からなり、これを場合により減圧化学気相成長法(LPCVD)により堆積させることを特徴とする請求項1から5までのいずれか1項記載の方法。

【請求項7】 第1のバリア層(5)が ZrO_2 又はこの順序で堆積した層材料 $\text{SiO}_2\text{-ZrO}_2$ から又は材料 Al_2O_3 、 TiO_2 、 Ta_2O_5 の1つからなることを特徴とする請求項1から5までのいずれか1項記載の方法。

【請求項8】 第2のバリア層(10)をこの順序で堆積した層材料 $\text{SiO}_x\text{-SiON-Si}_3\text{N}_4$ の層組合せから形成することを特徴とする請求項1から7までのいずれか1項記載の方法。

【請求項9】 第2のバリア層(10)をこの順序で堆

2

積した層材料 $\text{SiO}_x\text{-Si}_3\text{N}_4$ の層組合せから形成することを特徴とする請求項1から7までのいずれか1項記載の方法。

【請求項10】 Si_3N_4 層を堆積させる前に酸化物又は窒化物、特に材料 Ta_2O_5 、 Bi_2O_3 、 TiO_2 、 Al_2O_3 、 Nb_2O_5 、 MgO 、 V_2O_5 、 CeO_2 、 Y_2O_3 、 ZrO_2 、 BN 、 AlN の1つ並びに希土類酸化物からなる付加的なバリア層を堆積させることを特徴とする請求項8記載の方法。

【請求項11】 SiO_x 層及び/又は SiON 層をCVD法により形成することを特徴とする請求項8又は10記載の方法。

【請求項12】 Si_3N_4 層をLPCVD法により形成することを特徴とする請求項8から11までのいずれか1項記載の方法。

【請求項13】 第3のバリア層(5A)が Si_3N_4 からなり、これを特にLPCVD法により堆積させることを特徴とする請求項3記載の方法。

【請求項14】 製造工程c)で下方及び/又は上方の電極を白金又はその他の白金族金属もしくはそれらの酸化物から製造することを特徴とする請求項1から13までのいずれか1項記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、請求項1記載の半導体構造素子の製造方法に関する。特に、本発明は、スイッチングトランジスタ及びメモリキャパシタを有し、そのキャパシタプレートが白金族金属を含有しかつそれらの間に強誘電体又は常誘電体材料が誘電体として使用されている、不揮発性のメモリセルを製造する方法に関する。

【0002】慣用のマイクロエレクトロニック半導体メモリ構造素子(DRAMs)は、大体において選択又はスイッチングトランジスタ及びメモリキャパシタからなり、該メモリキャパシタにおいて2つのキャパシタプレートの間に誘電体材料が挿入されている。誘電体としては、通常大抵は最大約8の誘電率を有する酸化物層又は窒化物層が使用される。メモリキャパシタの小型化並びに不揮発性メモリを製造するために、明らかに高い誘電率を有する新規のキャパシタ材料(強誘電体又は常誘電体)が必要である。これらの材料の対は、刊行物W. Hoernlein著 "Neue Dielektrika fuer Gbit-Speicherchips", Phys. Bl. 55 (1999)に挙げられている。高い集積密度の不揮発性半導体メモリ構造素子において使用するために強誘電体キャパシタを製造するためには、例えば強誘電体材料、例えば $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ (SBT又はSBTN)、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)、又は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BTO)をキャパシタプレート間の誘電体として使用することができる。しかしまた、常誘電体材料、例えば $(\text{Ba}, \text{Sr})\text{TiO}$

3

3 (BST)を使用することもできる。

【0003】しかしながら、これらの新規の誘電体、強誘電体又は常誘電体の使用は、半導体製造技術に新たな挑戦を迫る。即ち、まずこれらの新規の材料は、もはや伝統的電極材料多結晶シリコンと組合せることができない。従って、不活性電極材料、例えば白金族金属又はこれらの導電性酸化物（例えばRuO₂）を使用しなければならない。このための理由は、強誘電体の堆積後に該強誘電体は酸素含有雰囲気内で約550～800℃の温度で数回熱処理（状態調節）しなければならないことにある。従って、強誘電体と電極との不所望の化学反応を回避するために、該電極は少なくとも白金又は別の十分に熱安定性かつ不活性材料、例えば別の白金族金属（Pd、Ir、Rh、Ru、Os）から製造される。

【0004】メモリキャパシタを集積するために、水素含有雰囲気内で行われる製造工程が必要である。例えば金属化部及びトランジスタの状態調節のためには、95%が窒素（N₂）及び5%が水素（H₂）からなる保護ガス（Formiargas）内での熱処理が必要である。しかしながら、処理されるメモリキャパシタ、即ち誘電体への水素の侵入は、還元反応により誘電体の酸化物セラミックの崩壊を惹起することがある。さらに、窒化シリコン不動態化層もしくは金属間酸化物のプラズマアシステッド堆積（PECVD）は、層内の高い水素含量に基づき誘電体の強誘電体もしくは常誘電体材料の還元を惹起する。

【0005】技術の現況においては、従来、前記問題をメモリキャパシタに不動態化層を堆積させることにより解決することが試みられた。例えばUS-PS5,523,595には、半導体構造素子の製造方法が記載され、該方法は、スイッチングトランジスタを半導体基板内に形成し、該スイッチングトランジスタ上に第1のアイソレーション層を堆積させ、該第1のアイソレーション層上にスイッチングトランジスタと結合した強誘電体メモリキャパシタを形成し、該メモリキャパシタの上方に第2のアイソレーション層を施しかつこの上にTiONからなる水素の侵入に対するバリア層を堆積させる。この従来公知のバリア層により、メモリキャパシタの上方電極を通過する水素の侵入が防止される。もちろん、第1のアイソレーション層を通過する水素の拡散も可能であり、かつさらに第1の電極及び下方電極を通過して誘電体内への拡散も可能でありかつそれによりメモリキャパシタの崩壊が生じることがある。他面では、保護ガス内の水素成分は放棄することができない。それというのも、水素により自由結合（ダングリングボンド“dangling bonds”）は半導体内、特に電極に対する境界面及びゲート酸化物内で飽和されるべきであるからである。この場合、メモリキャパシタの下方電極を通る水素の拡散及び強誘電体の引き続いての飽和は排除されない。

【0006】

4

【発明が解決しようとする課題】従って、本発明の課題は、強誘電体又は常誘電体材料を誘電体のために使用するメモリキャパシタを十分に水素の侵入に対して保護することができる半導体メモリを製造する方法を提供することである。

【0007】

【課題を解決するための手段】この課題は、本発明により、

- a) 半導体基板上にスイッチングトランジスタを形成し、
- b) スwitchングトランジスタ上にアイソレーション層を施し、該アイソレーション層内に、特に水素の侵入に対する第1のバリア層を包埋し、
- c) アイソレーション層上に、下方電極及び上方電極並びにそれらの間に堆積した金属酸化物含有層を含む、スイッチングトランジスタと結合されたメモリキャパシタを施し、
- d) 垂直方向のエッチング工程でアイソレーション層をメモリキャパシタの外側で一定の深さまで除去し、その際第1のバリア層を外側に向かって露出させ、
- e) メモリキャパシタ上及びアイソレーション層上及び第1のバリア層上に、特に水素の侵入に対する第2のバリア層を施すことを特徴とする半導体構造素子を製造する方法により解決される。

【0008】この場合、金属酸化物含有層は好ましくは強誘電体又は常誘電体材料である。

【0009】好ましくは、アイソレーション層を施した後に該アイソレーション層内に接点孔をスイッチングトランジスタの接続領域、例えばMOSスイッチングトランジスタのドレイン領域までエッチングかつ導電性材料を充填し、かつ引き続きスイッチングトランジスタの下方電極を少なくとも部分的に接点孔の上方に施す形式で、スイッチングトランジスタとメモリキャパシタとを接続する。この場合付加的に、接点孔の充填前に該接点孔の内壁を、特に水素の侵入に対する第3のバリア層でライニングすることもできる。それにより、付加的に水素が導電性材料が充填された接点孔（プラグ）内に拡散侵入しかつ接点孔の導電性材料及び下方電極を経て金属酸化物層内に侵入することが阻止される。それにより、製造されたメモリキャパシタは完全にバリア層により封入される。

【0010】選択的に、製造工程d)で第1のアイソレーション層を第1のバリア層の深さまで除去することができ、その際場合によりバリア層をエッチストップ層として使用することことができる。これに対して選択的に、製造工程d)でアイソレーション層を第1のバリア層の下の方の深さまで除去することもできる。

【0011】第1のバリア層は、有利にSi₃N₄から製造され、この際減圧化学的気相成長法（LPCVD）が特に良好な結果をもたらす。第1のバリア層の材料と

5

しては、 ZrO_2 もしくは SiO_2/ZrO_2 を選択することもできる。技術の現況で自公知の材料 Al_2O_3 、 TiO_2 、 Ta_2O_5 を、第1のバリア層のための材料として使用することもできる。

【0012】第1のアイソレーション層内にエッチングされた接点孔の内壁をライニングする第3のバリア層のために、原理的に第1のバリア層のためと同じ材料を使用することができる。第3のバリア層のための材料として Si_3N_4 層を選択するためには、この場合も堆積はLPCVDにより行う。

【0013】メモリキャパシタ上に堆積した第2のバリア層は、 $SiO_x-SiON-Si_3N_4$ 層組合せから構成されていてもよく、この場合にはまず好ましくはCVD (chemical vapour deposition) により SiO_x 層を成長させ、引き続き同様に好ましくはCVDで $SiON$ 層を堆積させかつ最後に好ましくはLPCVDで Si_3N_4 層を施す。この場合、誘電体の強誘電体又は常誘電体材料を、 Si_3N_4 層のLPCVD堆積の際に生じる比較的大量の水素から保護するために、付加的に層組合せの下又は層組合せの個々の層の間に酸化物又は窒化物バリア層 (X層) を堆積させることができる。従って、層組合せの層構造は、例えば $X-SiO_2-SiON-Si_3N_4$ 又は $SiO_2-X-SiON-Si_3N_4$ である。X層のための材料としては、例えば Ta_2O_5 、 Bi_2O_3 、 TiO_2 、 Al_2O_3 、 Nb_2O_5 、 MgO 、 V_2O_5 、 CeO_2 、 Y_2O_3 、 ZrO_2 、 BN 、 AlN 並びにあらゆる希土類酸化物を使用することができる。さらに酸化シリコン層のCVD堆積の結果として強誘電体又は常誘電体の損傷をアニールするために、付加的に好ましくは SiO_x 堆積の後に熱処理を行う。

【0014】

【実施例】以下に、図面により本発明の実施例を詳細に説明する。図面には、それぞれ本発明による方法の異なる段階における半導体構造素子の断面図が示されている。

【0015】図1に示した実施例によれば、まず半導体基板1 (例えばシリコンからなる) 上にMOSスイッチングトランジスタ2を、ドーピングによりドレイン領域とソース領域を形成し、それらの間に、通路の上方に配置されたゲートによりその導電性を制御することができるチャンネルを生ぜしめることにより製造する。該ゲートは、メモリ構造要素のワード線WLにより形成されているか又はワード線と接続されていてもよい。引き続き、MOSスイッチングトランジスタ2を、通常酸化物、例えば SiO_2 (TEOS) 又はBPSG (ホウ燐ケイ酸ガラス) で被覆する。

【0016】本発明に基づき、アイソレーション層4に第1のバリア層5を包埋する。従って、まずアイソレーション層4の第1の部分層を施し、次いでこの第1の部

6

分層の上にバリア層5を堆積させかつ引き続きバリア層5の上にアイソレーション層4の第2の部分層を施す。バリア層5のためには、水素に対して可能な限り不透透性である材料を選択する。このために極めて好適であるのは、特に良好な品質及び孔不含有で減圧化学気相成長法 (LPCVD) により堆積させることができる窒化シリコン、特に Si_3N_4 である。しかしながら、別の窒化物層又は H_2 バリアとして機能する別の層を使用することができる。

【0017】引き続き、アイソレーション層4及びバリア層5により形成された層構造にMOSスイッチングトランジスタ2のドレイン領域の上に接点孔を垂直方向にエッチングしかつ導電性材料、例えばドーパした多結晶シリコンを充填する。引き続き、充填した接点孔3の上に酸化バリア6を施す。

【0018】引き続き、アイソレーション層4の上に、まず白金又は別の白金族金属もしくはそれらの導電性酸化物からなる下方電極7を接点孔の上方に施しかつ図示されているようにメサ状に構造化する。それにより、下方の電極7はMOSスイッチングトランジスタ2のドレイン領域と導電性多結晶シリコンが充填された接点孔3と電気的に結合される。次いで、下方の電極7上に、キャパシタ誘電体を形成する強誘電体又は常誘電体材料の誘電体層8を堆積させる。この層8は、構造化された下方電極7を完全に全ての面に向かって覆いかつ横方向に階段状に下方電極7を越えて延びる。誘電体層8に、白金又は別の白金族金属もしくはそれらの導電性酸化物からなる上方電極9を同様に完全に前面に向かって覆うように堆積させかつ従って同様に階段状に構造化された下方電極7の両側で横方向に延びる。

【0019】従って、図1に示されているような半導体構造素子が製造される。

【0020】引き続き、メモリキャパシタの垂直方向のメサ状構造化を実施する。これは図2a及び2bにより示されているように、2つの異なる実施態様で行うことができる。

【0021】第1の実施態様 (図2a) においては、メモリキャパシタの周りに垂直方向のメサ構造をアイソレーション層4内にエッチングし、その際垂直方向のエッチング工程を精確にバリア層5まで実施する。この場合、場合によりバリア層3は同時にエッチストップの機能を担うことができる。この垂直方向のエッチング工程は、エッチングされたメサ構造の外部のバリア層5の上方表面が外側に向かって露出される結果をもたらす。次いで、得られた構造に第2のバリア層10を施す。

【0022】第2の実施態様 (図2b) においては、同様にメサ状の構造を垂直方向のエッチング工程によりメモリキャパシタの周りに形成する。しかしながらこの場合には、アイソレーション層4内への垂直方向のエッチング工程をバリア層5を越えて実施するので、メサ構造

7

の外部のバリア層5は完全に除去される。エッチング工程は、バリア層5の下の一一定の深さまで行いかつ次いで停止させる。次いで、得られた構造に、第2のバリア層10を施す。それに伴い、第2の実施態様では、バリア層5上のエッチストップは不必要である。しかしながら、このことはトポロジー、即ちエッチングされたメサ構造の高さの増大で購われる。

【0023】両者の実施態様においては、第2のバリア層10を施すことは、該バリア層が一定の区分で第1のバリア層5と結合されるということを惹起する。この区分は、メサ構造の周りの閉じた軌道上を延びかついわばエッチングされたメサ構造の下方領域において外部輪郭を形成する。第1の実施態様においては、第2のバリア層10を、メサ構造の外部の領域においてなお完全に得られた第1のバリア層5上に完全に施す。それに対して、第2の実施態様においては接触を、第1のバリア層5が垂直方向でエッチングされた側面で外側に露出する狭い区分で行う。

【0024】第2のバリア層10は、まず SiO_x からなる第1の層、次いで SiON からなる第2の層及び最後に Si_3N_4 からなる第3の層を施す層組合せにより形成する。初めの2つの層はCVD（化学気相成長法）により形成することができるが、一方 Si_3N_4 はLPCVD（low pressure chemical vapour deposition：減圧化学気相成長法）により形成することができる。メモリキャパシタの誘電体を、 Si_3N_4 層のLPCVD堆積の際に生じる比較的大量の水素（ H_2 ）から保護するために、付加的な酸化物又は窒化物バリア層（X層）を堆積させることができる。このX層は、第1の層として、従ってなお SiO_2 の堆積前に、又は層組合せの内部で施すことができる。従って、層組合せとしては、例えば $\text{X-SiO}_2\text{-SiON-SiN}$ 又は $\text{SiO}_2\text{-X-SiON-SiN}$ に基づく層構造を選択することができる。X層は SiON の形成後に施すこともできる。酸化物又は窒化物Xバリア層の材料としては、全ての熱安定性の非導電性酸化物又は窒化物、例えば Ta_2O_5 、 Bi_2O_3 、 TiO_2 、 Al_2O_3 、 Nb_2O_5 、 MgO 、 V_2O_5 、 CeO_2 、 Y_2O_3 、 ZrO_2 、 BN 、 AlN の1つ並びにあらゆる希土類酸化物を使用することができる。酸化シリコンのCVD堆積後に、この堆積の結果としてのキャパシタ誘電体の万一の損傷をアニールするために、熱処理工程を実施することができる。

【0025】図3には、最終的に本発明に基づき完成した半導体構造素子が示されている。明白なように、これは第1の実施態様（図2a）に基づく本発明による方法に由来するものであり、この場合にはもう1つのエッチ

8

ング工程でメサ構造の外部にあるバリア層5及び10が除去されている。

【0026】しかしながら、図3に示された半導体構造素子は、なおここまで示した実施態様とは別の特徴において異なる。即ち、この場合には接点孔3は第3のバリア層5Aを備えており、これにより水素がアイソレーション層4を経て接点孔3の導電性材料内に侵入しかつそこから上に向かってメモリキャパシタに拡散侵入し得ることが防止される。第3のバリア層5Aの堆積は、接点孔エッチングの直後に実施する。好ましくは、第3のバリア層5Aは第1のバリア層5と同様に Si_3N_4 からなりかつさらに好ましくは同様にLPCVD法が製造される。第3のバリア層5Aは完全に接点孔3の内壁を覆う。そのようにして、接点孔3を第3のバリア層5Aでライニングした後に、接点孔3に導電性材料、例えばドーブした多結晶質シリコンを充填する。

【0027】従って、本発明による方法を用いると、メモリキャパシタをバリア層5、5A及び10で完全に封入することができ、それにより、製造工程でメモリキャパシタの形成後に常に存在する水素が構造素子内に侵入しかつキャパシタ誘電体の強誘電体又は常誘電体材料での損傷を惹起する可能性を防止することができる。多くの場合、バリア層5及び10を形成すれば十分である。それというのも、接点孔3自体は水素に対する極めて狭い拡散経路を形成するに過ぎないからである。しかしながら、完全な封入を達成するためには、図示されているようになお第3のバリア層5Aを接点孔3の内壁に施し、それによりメモリキャパシタの封入を完遂することができる。

【図面の簡単な説明】

【図1】製造工程c）を実施した後の本発明に基づき製造された半導体構造素子の断面図である。

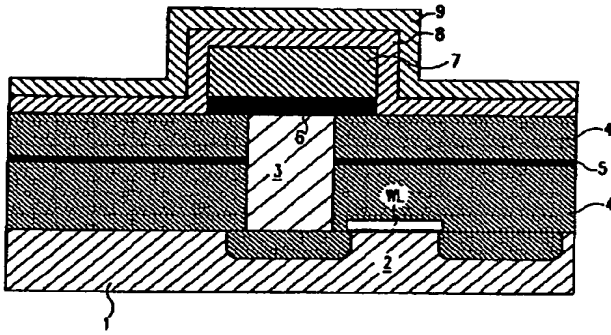
【図2】aは製造工程d）を実施した後の本発明に基づき製造された半導体構造素子の断面図（第1実施態様）及びbは製造工程d）を実施した後の本発明に基づき製造された半導体構造素子の断面図（第2実施態様）である。

【図3】製造工程e）を実施した後の本発明に基づき製造された半導体構造素子の断面図（第1実施態様）である。

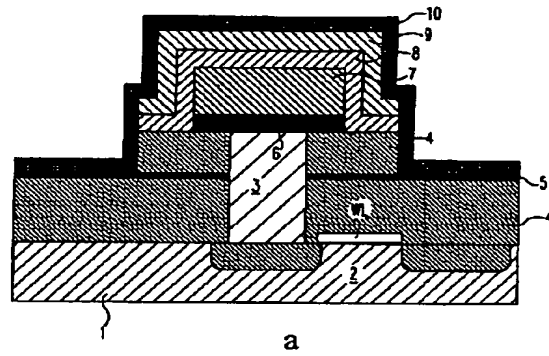
【符号の説明】

1 半導体基板、 2 MOSスイッチングトランジスタ、 3 接点孔、 4 アイソレーション層、 5 第1のバリア層、 5A 第3のバリア層、 6 酸化バリア、 7 下方電極、 8 誘電体層、 9 上方電極、 10 第2のバリア層、 WL ワード線

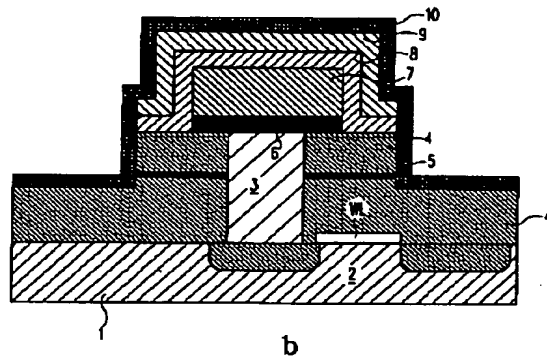
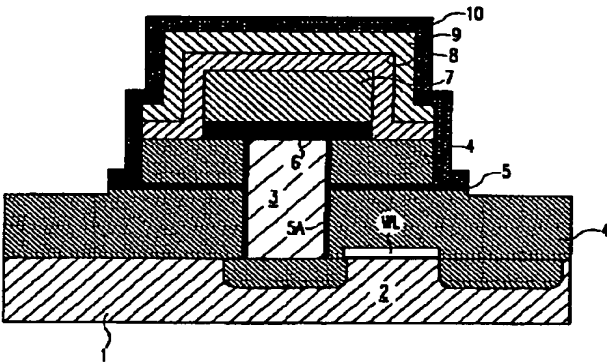
【図 1】



【図 2】



【図 3】



フロントページの続き

(72) 発明者 マルクス カストナー
ドイツ連邦共和国 オットーブルン クラ
イストシュトラッセ 14

(72) 発明者 クリスティーネ デーム
ドイツ連邦共和国 ミュンヘン エーフェ
レシュトラッセ 14